

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-003592

(43)Date of publication of application : 06.01.1999

(51)Int.Cl. G11C 11/413
 G06F 12/00
 G11C 7/00
 G11C 11/41

(21)Application number : 09-153195

(71)Applicant : FUJI ELECTRIC CO LTD
 F F C:KK

(22)Date of filing : 11.06.1997

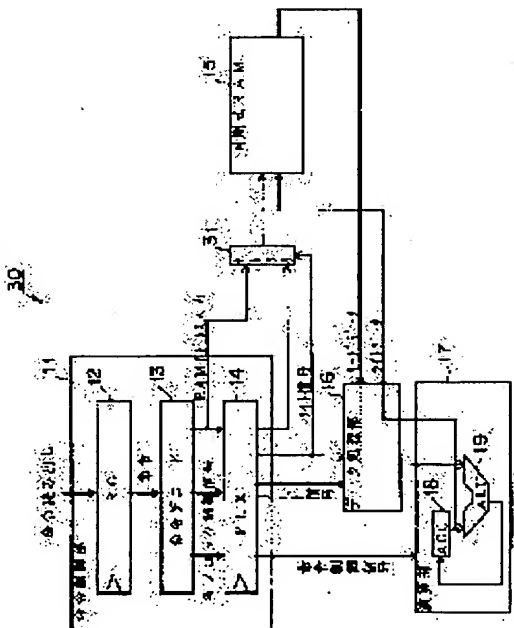
(72)Inventor : NISHIWAKI TOSHIYUKI
 WATANABE AKIHITO

(54) ACCESS CONTROL CIRCUIT FOR SYNCHRONIZING RAM, DATA PROCESSOR, AND ITS CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten an access time of a synchronizing RAM.

SOLUTION: An input address and an output address of a pipe line register PLR 14 are inputted to a selector 31 at the time of writing, an output address of the pipe line register PLR 14 is selected and outputted to a synchronizing type RAM 15 as a write-address, at the time of reading an input address of the pipe line register PLR 14 is selected and outputted to a synchronizing-type RAM 15 as a read-address. Thereby, at the time of reading, as a read-address is outputted to the synchronizing type RAM 15 one cycle before a read-instruction is executed, a read-cycle is completed by one cycle.



LEGAL STATUS

[Date of request for examination]

10.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the access-control circuit which controls the lead and light access of data to synchronous system RAM at the time of a light It outputs to the aforementioned synchronous system RAM by making into the light address the address outputted from the instruction-execution section which performs the lead and light access to the aforementioned synchronous system RAM. The access-control circuit of the synchronous system RAM characterized by outputting to the aforementioned synchronous system RAM by making into the lead address the address in front of 1 cycle of the lead instruction executed in the aforementioned instruction-execution section at the time of a lead.

[Claim 2] The access-control circuit of the synchronous system RAM according to claim 1 characterized by providing the following. The aforementioned instruction-execution section is an instruction register which stores the read instruction. The selection circuitry which consists of a pipeline register which executes the aforementioned instruction by which the decoder was carried out, chooses the address outputted from the aforementioned pipeline register at the time of a light, outputs to the aforementioned synchronous system RAM as the light address, chooses the input address of the aforementioned pipeline register at the time of a lead, and is outputted to the aforementioned synchronous system RAM as the lead address

[Claim 3] The access-control circuit which controls the lead and light access of data to synchronous system RAM which are characterized by providing the following The 1st register which stores an instruction The instruction-execution section which consists of the 2nd register which executes the decoded aforementioned instruction The selection circuitry which chooses the address outputted from the 2nd register of the above at the time of a light, outputs to the aforementioned synchronous system RAM as the light address, chooses the input address of the 2nd register of the above at the time of a lead, and is outputted to the aforementioned synchronous system RAM as the lead address

[Claim 4] The access-control circuit which controls the lead and light access of data to the dual port synchronous system RAM which are characterized by providing the following The store circuit which memorizes the light data in a light cycle The light address of one port of the aforementioned dual port synchronous system RAM in the same cycle The address comparator circuit which compares the lead address of the port of another side The selection circuitry which chooses the data memorized by the aforementioned store circuit and is outputted as lead data of the aforementioned dual port synchronous system RAM when coincidence with the light address of the two aforementioned ports and the lead address is detected by the aforementioned address comparator circuit

[Claim 5] The data-storage circuit characterized by having at least two dual port synchronous system RAM, writing the same data for one port of the two aforementioned dual port synchronous system RAM in the address same as a port only for lights simultaneously, and accessing the port of another side independently as a port only for leads, respectively.

[Claim 6] The data-processing processor characterized by to have the selection circuitry which chooses the light address outputted from the aforementioned instruction-execution section at the time of the instruction-execution section which executes an instruction one by one, and synchronous system RAM and a light, outputs to the aforementioned synchronous system RAM, chooses the lead address in front of 1 cycle of the lead instruction executed in the aforementioned instruction-execution section at the time of

a lead, and is outputted to the aforementioned synchronous system RAM.

[Claim 7] It is the data-processing processor according to claim 6 which is equipped with the following and characterized by for the aforementioned selection circuitry to input the input address and the output address of the aforementioned pipeline register, to output it to the aforementioned synchronous system RAM by making into the light address the address outputted from the aforementioned pipeline register at the time of a light, and to output it to the aforementioned synchronous system RAM by making into the lead address the address inputted into the aforementioned pipeline register at the time of a lead. The aforementioned instruction-execution section is an instruction register which stores an instruction. The decoder which decodes the aforementioned instruction and performs an instruction interpretation The pipeline register which executes the instruction interpreted while storing the decoding result

[Claim 8] The data-processing processor characterized by providing the following. Dual port synchronous system RAM The 1st and the 2nd instruction-execution section which execute an instruction corresponding to two ports of the aforementioned dual port synchronous system RAM, respectively The 1st selection circuitry which chooses the output address of the instruction-execution section of the above 1st at the time of a light, outputs to one port of the aforementioned dual port synchronous system RAM as the light address, and is outputted to aforementioned one port by making into the lead address the address in front of 1 cycle of the lead instruction executed in the instruction-execution section of the above 1st at the time of a lead The address output circuit which outputs the address in front of 1 cycle of the lead instruction executed in the instruction-execution section of the above 2nd to the port of another side of the aforementioned dual port synchronous system RAM, The store circuit which memorizes the light data of the aforementioned dual port synchronous system RAM, The light address of one port of the aforementioned dual port synchronous system RAM in the same cycle, When coincidence with the light address of the two aforementioned ports and the lead address is detected by the address comparator circuit which compares the lead address of the port of another side, and the aforementioned address comparator circuit, The 2nd selection circuitry which chooses the data memorized by the aforementioned store circuit and is outputted as lead data of the aforementioned dual port synchronous system RAM

[Claim 9] The data-processing processor characterized by having the instruction-execution section which executes an instruction one by one, and at least two dual port synchronous system RAM, writing the same data for one port of the two aforementioned dual port synchronous system RAM in the address same as a port only for lights simultaneously, and accessing the port of another side independently as a port only for leads, respectively.

[Claim 10] The access-control circuit of the dual port synchronous system RAM characterized by providing the following. At least two dual port synchronous system RAM The 1st and 2nd store circuits which memorize the light data of the two aforementioned dual port synchronous system RAM The 1st and the 2nd address comparator circuit which compare the light address and the lead address in the same cycle The 1st and the 2nd selection circuitry which choose and output the output data of the above 1st or the 2nd dual port synchronous system RAM when the data memorized by the above 1st or the 2nd store circuit when coincidence of the address is detected by the above 1st or the 2nd address comparator circuit are chosen, it outputs as the above 1st or lead data of the 2nd dual port synchronous system RAM and the inequality of the aforementioned address is detected

[Claim 11] The access-control method of the synchronous system RAM characterized [in the access-control method which controls the lead and light access of data to synchronous system RAM] at the time of a light by to output to the aforementioned synchronous system RAM and to output to the aforementioned synchronous system RAM by making into the lead address the address in front of 1 cycle of the lead instruction executed in the aforementioned instruction-execution section at the time of a lead by making into the light address the address outputted from the instruction-execution section.

[Claim 12] In the access-control method which controls the lead and light access of data to the dual port synchronous system RAM When the light data in a light cycle are memorized, the light address and the lead address in the same cycle are compared and the address is in agreement by the aforementioned address comparison The access-control method of the dual port synchronous system RAM characterized by

outputting the light data memorized as lead data of the aforementioned dual port synchronous system RAM, and outputting the data read from the aforementioned dual port RAM when the address is inharmonious.
[Claim 13] The access-control method of the dual port RAM which writes the same data for one port of two dual port synchronous system RAM in the address same as a port only for lights simultaneously, carries out the port only for leads of the port of another side of the two aforementioned dual port RAMs, and is characterized by accessing independently, respectively.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to a single port and the access-control circuit of the dual port synchronous system RAM, a data-processing processor, and its control method.

[0002]

[Description of the Prior Art] The synchronous system RAM to which writing and read-out of data are performed to the timing which synchronized with the clock signal is known. As the access fundamental-wave type of synchronous system RAM is shown in drawing 8, in a light cycle, a light signal is enabling (low level), between 1 cycles, the address and data are inputted and the writing of data is performed. In a read cycle, it reads to 1 clock eye, and the address is inputted and data are read to the following 2 clock eye. That is, a light cycle requires 1 cycle and a read cycle requires the access time of a two cycle.

[0003] Drawing 9 is drawing showing the input/output port of the single port synchronous system RAM 15, and drawing 10 is drawing showing the fundamental-wave form. The single port synchronous system RAM 15 is equipped with the clocked-into terminal CLK, the address input terminal AD, light signal input terminal *WT and the data input terminal DI, and the data output terminal DO.

[0004] First, in a light cycle, address input "X'10" is given and "X'1000" is given to the same cycle as a data input. By the following cycle which is a light cycle, when a light cycle and a read cycle continue, even if read-out address "X'20" is outputted, at this time, data are not outputted from synchronous system RAM 15, but data "X'2000" is outputted in the following cycle. That is, even if the lead address is specified in the next cycle of a light cycle, the output data of synchronous system RAM 15 become unfixed, and data decide them in the following cycle. Therefore, one clock is applied to a light cycle and the access time of two clocks applies a read cycle.

[0005] Next, drawing 11 is the block diagram of the data-processing processor 10 of the conventional pipeline control method which used the single port synchronous system RAM 15. The instruction control section 11 consists of instruction decoding 13 which decodes the instruction register (instruction regisuter) inter record gap 12 which stores the read instruction, and its stored instruction, and performs an instruction interpretation, and a pipeline register PLR(pipeline register) 14 which stores and executes the instruction interpreted by decoding 13.

[0006] A pipeline register PLR14 outputs address data and a light signal to synchronous system RAM 15, outputs a lead signal and a light signal to the data-processing section 16, and outputs the instruction control signal which directs the operation in operation part 17 further. Operation part 17 consists of ACC (accumurator)18 and ALU (arithmetic logic unit). ALU19 calculates to the data of ACC18, and the data outputted from the data-processing section 16 according to an instruction control signal, and outputs the result of an operation to ACC18. Moreover, the data stored in ACC18 are written in synchronous system RAM 15 through the data-processing section 16.

[0007] Next, in the data-processing processor 10 of drawing 11, the case where addition with the data read from synchronous system RAM 15 and the data of ACC18 and two operations which write the addition result in synchronous system RAM 15 are performed is explained with reference to the instruction-execution timing chart of drawing 12.

[0008] First, the data of address "X'10" are led from synchronous system RAM 15 in Cycle a, the instruction adding the data and data of ACC18 is incorporated by the instruction register inter record gap 12, and an instruction is decoded by the instruction decoding 13 in the same cycle. A decoding result is stored in a pipeline register PLR14 in the following cycle b, and the instruction is executed. However, it is the following cycle that the lead address is given and data are actually outputted from synchronous system RAM 15, and since it is the two-cycle need, 1 cycle weight of the instruction stored in the pipeline register PLR14 is carried out to read-out of data by the WAIT control signal. and -- a degree -- a cycle -- c -- synchronous system -- RAM -- 15 -- the address -- " -- X -- ' -- ten -- " -- from -- reading -- having -- data -- " -- X -- ' -- 200 -- " -- ACC -- 18 -- storing -- having -- **** -- data -- " -- X -- ' -- 100 -- " -- addition -- carrying out -- having .

[0009] if a write enable signal is outputted in the following cycle d -- the address of RAM15 -- the data of the addition result stored in "X'20" at ACC18 -- "X'300" is written in

[0010] Since the processing which reads data from synchronous system RAM 15 needed the access time of a two cycle in the data-processing processor 10 mentioned above and the processing which writes the storing data of ACC18 in RAM15 needed the access time which is 1 cycle, the access time of 3 cycles was required in total.

[0011] Next, basic operation in the dual port synchronous system RAM 21 is explained with reference to drawing 13 and drawing 14 . The dual port synchronous system RAM 21 consists of the address input terminal ADA, the data input terminal DI, the light signal input terminal WT, the data output terminal DOA, the address input terminal ADB of B system port, and the data output terminal DOB of A system port, as shown in drawing 13 , and a read/write port and B system port of A system port are ports only for leads.

[0012] As shown in ** of drawing 14 , when performing lead operation in the same cycle to the same address of A system port and B system port, A system port and B system port can be accessed convenient. Moreover, to the address which is different in the same cycle as shown in this drawing **, A system port can access both ports without trouble, when B system port is lead operation in light operation. However, in the same cycle, as shown in this drawing **, when B system port performs [A system port] lead operation in light operation to the same address, the output data of B system port become unfixed.

[0013] Therefore, the software processing for controlling exclusively access of A system port and B system port or hardware circuitry was needed so that access like ** of drawing 14 might not occur, and there was a trouble of producing increase of the processing time or complication of hardware circuitry.

[0014] Next, the above-mentioned dual port synchronous system RAM 21 is explained with reference to drawing 15 and drawing 16 about the case where it is used as a work register of a data-processing processor. A source register and a data strike nation register, and B system port are used for A system port as a source register. ** the source register of A system port to data -- reading -- the source register of **B system port to data -- reading -- ** -- with the instruction which adds them and is written in the data strike nation register of A system port ** the source register of A system port to data -- reading -- the source register of **B system port to data -- reading -- ** -- explain the case where two instructions of the instruction which adds them and is written in the data strike nation register of A system port are executed

[0015] In the dual port synchronous system RAM 21, since a light cycle and a read cycle cannot be continuously performed to one port, the data from A system port of ** cannot be read to the degree of the write-in cycle to A system port of **.

[0016] Therefore, when creating a program conventionally, "NOP" needed to be described to the degree of an instruction of ****=**, and since two instructions, ****=** and ****=**, could not be executed continuously, the non-processed period needed to be prepared as shown in drawing 16 .

[0017]

[Problem(s) to be Solved by the Invention] Since the read cycle of data cut in two clocks in the single port synchronous system RAM as mentioned above, there was a trouble that the access time of synchronous system RAM became long.

[0018] Moreover, in the dual port synchronous system RAM, in order to avoid competition of access,

exclusive control needed to be performed, and there was a trouble that the interlock by software or hardware was required for the reason, and a program and the increase in the operation processing time, or a circuit scale increased.

[0019] Furthermore, since the light cycle and read cycle to one port could not be continuously processed when the dual port synchronous system RAM was used as a work register, "NOP" etc. needed to be inserted in the degree of a light cycle, the amount of programs increased, and there was a trouble that the processing time became long.

[0020] The technical problem of this invention is enabling it to read data with one clock in synchronous system RAM. In the dual port synchronous system RAM, other technical problems of this invention are enabling it to read data, even when the light address and the lead address are in agreement in the same cycle.

[0021] The technical problem of further others is enabling it to perform a light cycle and a read cycle continuously to the dual port synchronous system RAM.

[0022]

[Means for Solving the Problem] The 1st invention is characterized [in the access-control circuit which controls the lead and light access of data to synchronous system RAM] at the time of a light by to output to synchronous system RAM, to be performed in the instruction-execution section at the time of a lead, and to output to synchronous system RAM by making the address in front of 1 cycle of a lead instruction into the lead address by making into the light address the address outputted from the instruction-execution section which performs the lead and light access to synchronous system RAM.

[0023] Since according to this 1st invention the lead address is outputted at synchronous system RAM before [a cycle of / one] the timing to which the address is outputted by the read cycle and the data of the address are conventionally read to the following cycle, a read cycle can be completed in 1 cycle and the access time of synchronous system RAM can be shortened.

[0024] In the access-control circuit where the 2nd invention controls the lead and light access of data to the dual port synchronous system RAM The store circuit which memorizes the light data in a light cycle, and the light address of one port of the dual port synchronous system RAM in the same cycle, When coincidence with the light address of two ports and the lead address is detected by the address comparator circuit which compares the lead address of the port of another side, and the address comparator circuit, It has the selection circuitry which chooses the data memorized by the store circuit and is outputted as lead data of the dual port synchronous system RAM.

[0025] Since according to the 2nd invention the data written in in the light cycle are outputted from a store circuit even when the light address of one port of the dual port RAM in the same cycle and the lead address of the port of another side are in agreement, competition of access in the same address in the same cycle does not occur. Therefore, it becomes unnecessary to carry out exclusive control of access to two ports, a program can be simplified, and, thereby, the processing time can also be shortened.

[0026] The 3rd invention has at least two dual port RAMs, and writes the same data for one port of two dual port RAMs in the address same as a port only for lights simultaneously. According to the 3rd invention which carries out the port only for leads of the port of another side, and accesses it independently, respectively, even when a light cycle and a read cycle continue, those instructions can be executed in succession by the light and leading in a respectively different port. Therefore, since it becomes unnecessary to be conscious of inserting NOP and the amount of programs also decreases in case a program creates, since it becomes unnecessary to prepare a non-processed period between a light cycle and a read cycle, the processing time can also be shortened.

[0027]

[Embodiments of the Invention] Hereafter, this invention is explained with reference to a drawing. Drawing 1 is the block diagram of the data-processing processor 30 of the pipeline control method of the form of operation of the 1st of this invention. The same sign is attached to the block which is common by this data-processing processor 30 and the conventional data-processing processor 10 of drawing 11 , and those explanation is omitted.

[0028] The input address and the output address of a pipeline register PLR(pipeline register) 14 are inputted into a selector (selection circuitry) 31, and the light signal of the single port synchronous system RAM 15 is inputted into the control terminal.

[0029] A selector 31 chooses the address inputted into a pipeline register PLR14 when a light signal is disabling (low level) (i.e., when it is a read cycle), outputs it to the single port synchronous system RAM 15, and when a light signal is *****, it outputs the output address of a pipeline register PLR14 to the single port synchronous system RAM 15.

[0030] That is, cycle [in which a lead instruction is stored in a pipeline register PLR14, and is executed] before one, the lead address inputted into a pipeline register PLR14 is chosen by the selector 31, and is supplied at the single port synchronous system RAM 15. Therefore, since the lead address is outputted at the single port synchronous system RAM 15 cycle [in which the instruction stored in the pipeline register PLR14 is executed] before one and the data of the address are read to the following cycle, the instruction containing a read cycle is completed in 1 cycle.

[0031] Moreover, the instruction which in the case of a light cycle contains a light cycle since the light address outputted to the same cycle as the light instruction stored in the pipeline register PLR14 being executed from a pipeline register PLR14 is chosen by the selector 31, and is supplied to the single port synchronous system RAM 15 and data are written in the address is completed in 1 cycle.

[0032] drawing 2 -- the address of the single port synchronous system RAM 15 -- the data of "X'10", and the data of ACC (accumulator)18 -- adding -- an addition result -- the address of the single port synchronous system RAM 15 -- it is the instruction-execution timing chart of the data-processing processor 31 in the case of writing in "X'20"

[0033] The instruction stored in the instruction register inter record gap 12 in Cycle a is decoded, and an instruction interpretation is performed. At this time, light signal *WT is disabling, and since it is a read cycle, address "X'10" inputted into a pipeline register PLR14 is chosen by the selector 32, and it is outputted to the single port synchronous system RAM 15 as the lead address. the following cycle b -- the cycle a in front of one -- the address of the single port synchronous system RAM 15 -- since "X'10" is specified -- the address -- addition with "data "data of X'200"'s read-out, and data [which were read] and ACC18" X'100 of X'10"" is performed

[0034] That is, at the time of a read cycle, since the lead address is outputted by the selector 31 before [a cycle of] one to synchronous system RAM 15, the lead of data is performed in the 1 following cycle, and the read cycle of data is substantially completed in 1 cycle.

[0035] And it is written in "X'300 "address of single port synchronous system RAM 15" X'20" of the addition result stored in ACC18 in the following cycle c. In this case, the light cycle of data is completed in 1 cycle.

[0036] According to the form of this 1st operation, by supplying the input address of a pipeline register PLR14 to synchronous system RAM 15, read-out of the data from synchronous system RAM 15 can be substantially completed in 1 cycle, and the read/write of the data can be carried out in a read cycle at high speed.

[0037] Next, drawing 3 is the block diagram of the data-processing processor 40 of the pipeline control method of the form of the operation of the 2nd of this invention which enabled it to perform a lead continuously with the light of data to the same address of the dual port synchronous system RAM 41. In addition, the same sign is attached to the same portion as the already explained circuit block, and those explanation is omitted.

[0038] The dual port synchronous system RAM 41 has two ports, A system port and B system port, and is using the light port and B system for A system as a lead port with the form of this operation.

[0039] The address inputted into pipeline register PLR14a and the address outputted from pipeline register LPR14a are inputted into the selector 42, and the light signal outputted from pipeline register PLR14a has inputted into the control terminal of a selector 42. This selector 42 chooses the address outputted from pipeline register 14a when a light signal is *****, outputs it to the address input terminal ADA of A system port of the dual port synchronous system RAM 41, when a light signal is disabling, it chooses the

address of the input side of pipeline register PLR14a, and it outputs it to the address input terminal ADA of A system port. Moreover, the output of a selector 42 is outputted to the address comparator 43.

[0040] Since the lead address is inputted into A system port of a dual port RAM 41 and the data of the address are outputted to the following cycle in front of 1 cycle of a read cycle by this, a read cycle can be completed in 1 cycle.

[0041] At the time of a light cycle, the output address of pipeline register 14a is chosen by the selector 42, and it is outputted to A system port of the dual port synchronous system RAM 41, and is outputted from the data-processing section 44, the data inputted into the data input terminal DI of A system port are written in the address, and the data is simultaneously written in the auxiliary register 45.

[0042] The input address of pipeline register 14b has inputted into the address input terminal ADB of B system port of a dual port RAM 41, and this input address is inputted into the input terminal of another side of the address comparator 43.

[0043] The address comparator 43 outputs a high-level signal to AND gate 46, when the light address of A system port is compared with the lead address of B system port and both are in agreement. The light signal outputted from pipeline register 14a is inputted into other input terminals of AND gate 46, a light signal is disabling (high-level), and when the light address of A system port and the lead address of B system port are in agreement, a high-level signal is outputted to the address coincidence flag register 47. The address coincidence flag register 47 sets an address coincidence flag to "1", when the output of AND gate 46 is high-level.

[0044] A selector 48 is a circuit which chooses one side of the output of B system port of the dual port synchronous system RAM 41, and the output of the auxiliary register 45, and is outputted to the data-processing section 49 according to the contents of the address coincidence flag outputted from the address coincidence flag register 47. When an address coincidence flag is "1" and the light address and the lead address of the same cycle are [it is got blocked and] in agreement, the data written in in the light cycle stored in the auxiliary register 46 are chosen, and it outputs to the data-processing section 49.

[0045] Even if a light and a lead are performed in the port where the dual port synchronous system RAM 41 differs by this, the light address and the lead address in the same cycle are in agreement and the output of the dual port synchronous system RAM 41 becomes unfixed, the data written in the address the dual port synchronous system RAM 41 was specified to be can be read with outputting the light data stored in the auxiliary register 45 instead of the output data of the dual port synchronous system RAM 41.

[0046] On the other hand, since a selector 48 chooses the output data of the dual port synchronous system RAM 41 and outputs them to the data-processing section 49 when the address coincidence flag of the address coincidence flag register 47 is "0", when the light address and the lead address are the same, the data of the dual port synchronous system RAM 41 are outputted [except] to the data-processing section 49 in the same cycle.

[0047] Drawing 4 is the access timing chart of the data-processing processor 40 of the form of the 2nd operation mentioned above. When light signal *WT is enabling in Cycle a, "x'10" is specified as the input address of A system port and "X'100" is inputted as A system input data, address "x'10 data X'100" of the dual port synchronous system RAM 41 "is written in" in, and the data "X'100" is simultaneously stored in the auxiliary register 45. In this cycle a, the "X'10" as the light address is simultaneously outputted as the lead address of B system port, and since the address is in agreement, the output of the address comparator 43 becomes high-level. [same]

[0048] In the following cycle b, light signal *WT is disabled. Moreover, the light address of A system port and the lead address of B system port are [both] in agreement in the light cycle in front of 1 cycle, the address is in agreement by "X'10", and since the output of the address comparator 43 is high-level, the output of the address coincidence flag register 47 is set to "1." this -- the time -- B -- a system -- a port -- output data -- being unfixed -- ** -- becoming -- **** -- although -- the address -- coincidence -- a flag -- " -- one -- " -- it is -- since -- a selector -- 48 -- assistance -- a register -- 45 -- memorizing -- having -- **** -- data -- " -- x -- ' -- 100 -- " -- getting it blocked -- a light -- a cycle -- writing in -- having had -- data -- choosing -- the data-processing section 49 --

[0049] According to the gestalt of this 2nd operation, even when the light address and the lead address are in agreement in the same cycle, the same data as the data of the address with which the dual port RAM 41 was specified can be read by reading the data memorized by the auxiliary register 45. Therefore, a program can be created without being conscious of the competition of access to a dual port RAM, a program can also be simplified, and the processing time can also be shortened.

[0050] In addition, although the gestalt of this 2nd operation explained the case where outputted the input address of pipeline register PLR14a as the lead address, and a read cycle was made to complete in 1 cycle, when outputting the output address of a pipeline register PLR14 as the lead address like before and carrying out a two-cycle important point to a read cycle, it can apply.

[0051] Next, drawing 5 is the block diagram of the data-processing processor 50 of the gestalt of the operation of the 3rd of this invention which uses two dual port synchronous system RAM, and enabled it to perform a light cycle and a read cycle continuously. In this drawing, the same sign is attached to the same portion as the already explained circuit block, and explanation is omitted.

[0052] A system port of two dual port synchronous system 51 and RAM 52 is a port only for lights, and B system port is read, is an exclusive port, and can be accessed independently, respectively. a dual port -- synchronous system -- RAM -- 51 -- 52 -- A -- a system -- a port -- an address terminal -- ADA -- **** -- a pipeline register -- PLR -- 14 -- from -- outputting -- having -- dace -- a strike -- a nation -- (- RD --) -- the address -- inputting -- a data input -- a terminal -- DI -- **** -- ALU -- 19 -- output data -- inputting -- **** . That is, the same data are simultaneously written in the same address of two dual port synchronous system 51 and RAM 52.

[0053] The lead address of the register RS 1 outputted from a decoder 13 inputs into address terminal ADB of B system port of the dual port synchronous system RAM 51 used as a register RS 1, and the data read from an output terminal DOB are outputted to one input terminal of ALU19.

[0054] The lead address of RS2 outputted from a decoder 13 inputs into address terminal ADB of B system port of the dual port RAM 52 used as a register RS 2, and the data read from the data output terminal DOB are outputted to the input terminal of another side of ALU19.

[0055] Operation when adding the value of registers RS1 and RS2, and storing in a dace strike nation register in the gestalt of the 3rd operation, hereafter, is explained with reference to drawing 6 .

[0056] The lead address of a register RS 1 is inputted into B system port of the dual port synchronous system RAM 51, and the data of the address are outputted to one input terminal of ALU19 (drawing 6 **). Next, the lead address of a register RS 2 is inputted into B system port of the dual port synchronous system RAM 52, the data of the address are read, and it is outputted to the input terminal of another side of ALU19 (drawing 6 **). Furthermore, the light address is inputted into A system port of the dual port synchronous system 51 and RAM 52, and the result adding the value of a register RS 1 and a register RS 2 is written in the same address of A system port of the dual port synchronous system 51 and RAM 52 (drawing 6 **).

[0057] Next, the lead address of a register RS 1 is inputted into B system port of the dual port synchronous system RAM 52, the data of the address are read, and it is outputted to one input terminal of ALU19 (drawing 6 **).

[0058] In this case, although the light cycle and the read cycle are continuing, since lead operation serves as B system port of the dual port synchronous system RAM 52 and light operation is not light operation and lead operation to the same port, it can execute those instructions continuously in A system port of the dual port synchronous system 51 and RAM 52.

[0059] Like the following, the lead address of a register RS 2 is inputted into the dual port synchronous system RAM 52, the data of the address are read, and it is outputted to the input terminal of another side of ALU19 (drawing 6 **). Furthermore, the addition result (****) of the value of a register RS 1 and the value of a register RS 2 outputted from ALU19 is written in the address outputted from a pipeline register PLR14 (drawing 6 **).

[0060] According to the gestalt of this 3rd operation, it is lost that a light cycle and a read cycle continue to the same port. Therefore, since it becomes unnecessary to insert NOP between a light cycle and a read

cycle like before, the amount of part programs is decreased and the processing time is also shortened.

[0061] Next, drawing 7 is the block diagram of the data-processing processor 60 of the gestalt of the operation of the 4th of this invention which prevented the competition of access to the same address of the same cycle while being able to perform the light cycle and read cycle to the dual port synchronous system RAM continuously.

[0062] It can be the same as that of the gestalt of the 3rd operation having described, the same data can be written in the address with the port of A system of two dual port synchronous system 51 and RAM 52 same only for lights, and the port of B system can access now independently the dual port synchronous system 51 and RAM 52 as a register RS 1 and a register RS 2 only by for leads, respectively.

[0063] The newest data written in the dual port synchronous system RAM 51 are memorized by the auxiliary register 61. The address comparator 62 compares the light address of A system port of the dual port synchronous system RAM 51 with the lead address of the register RS 1 of B system port, and outputs a comparison result to the address coincidence flag register 63. If the signal which shows coincidence of the address from the address comparator 62 inputs, the address coincidence flag register 63 will set an address coincidence flag to "1", and will output the signal of "1" to the control terminal of a selector 64.

[0064] A selector 64 chooses one side of the data read from a dual port RAM 51, and the output data of the auxiliary register 61 according to the content of an address coincidence flag, and outputs it to ALU19.

[0065] When the auxiliary register 65, the address comparator 66, the address coincidence flag register 67, and the selector 68 are formed also like the dual port RAM 52, the light address of the dual port synchronous system RAM 52 is compared with the lead address of a register RS 2 and both are in agreement, the data of the auxiliary register 65 are chosen and it is outputted to the input terminal of another side of ALU19.

[0066] If the same data are now written in the same address of A system port of the dual port synchronous system 51 and RAM 52 in a light cycle, the same data will be simultaneously written also in the auxiliary registers 61 and 65. And the lead address is outputted to the same cycle as the light address being outputted before [a cycle of / one] a read cycle that is, as the following cycle is a read cycle from a decoder 13. And if the light address and the lead address are compared by the address comparators 62 and 66 and the address comparators 62 or 66 detect coincidence of the address, the output of the address coincidence flag registers 63 or 67 will be set to "1." Then, selectors 64 or 68 choose the data stored in the auxiliary registers 61 or 65, and output to ALU19. Thereby, in the same cycle, when the light address and the lead address are the same, the same data as the data memorized by the address are outputted from the auxiliary register 61 (or auxiliary register 65).

[0067] Therefore, since the need of performing control for preventing competition of access is lost so that access to the same address may not arise in the same cycle, a program becomes simple and the processing time also becomes short.

[0068] Furthermore, since the same data are written for A system port of the dual port synchronous system 51 and RAM 52 in the address same as a port only for lights and it was made to access B system port independently as a port only for leads, respectively, even when light access and lead access continue, those instructions can be executed continuously, without inserting NOP.

[0069] In addition, although the gestalt of the above-mentioned operation is the case where this invention is applied to the data-processing processor of a pipeline control method, it is also applicable to the data-processing processor of a general microprogram control system.

[0070]

[Effect of the Invention] According to this invention, since the read cycle of synchronous system RAM is completed in 1 cycle, the access time of synchronous system RAM can be shortened. Moreover, in the dual port synchronous system RAM, since the competition of access to the same address does not arise in the same cycle, the need of creating a program like before being conscious of competition of access is lost, program simplification can be carried out, and the processing time can also be shortened. Furthermore, since it is lost that a light cycle and a read cycle continue to the same port by using two dual port RAMs, it

· becomes possible to perform a lead continuously with a light.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the data-processing processor of the gestalt of the 1st operation.

[Drawing 2] It is the instruction-execution timing chart of the data-processing processor of the gestalt of the 1st operation.

[Drawing 3] It is the block diagram of the data-processing processor of the gestalt of the 2nd operation.

[Drawing 4] It is the access timing chart of the data-processing processor of the gestalt of the 2nd operation.

[Drawing 5] It is the block diagram of the data-processing processor of the gestalt of the 3rd operation.

[Drawing 6] It is drawing showing operation of the synchronous system RAM at the time of the continuation instruction execution of the gestalt of the 3rd operation.

[Drawing 7] It is the block diagram of the data-processing processor of the gestalt of the 4th operation.

[Drawing 8] This drawing (A) and (B) are drawings showing the fundamental-wave form of access of synchronous system RAM.

[Drawing 9] It is drawing showing the input/output port of the single port synchronous system RAM.

[Drawing 10] It is drawing showing the fundamental-wave form of the single port synchronous system RAM.

[Drawing 11] It is the block diagram of the data-processing processor of the conventional pipeline control method.

[Drawing 12] It is the instruction-execution timing chart of the data-processing processor of the conventional pipeline control method.

[Drawing 13] It is drawing showing the input/output port of the dual port synchronous system RAM.

[Drawing 14] It is drawing showing the fundamental-wave form of the dual port synchronous system RAM.

[Drawing 15] It is drawing showing operation of the synchronous system RAM at the time of a continuation instruction execution.

[Drawing 16] It is drawing showing operation of the synchronous system RAM at the time of the continuation instruction execution which added the NOP instruction.

[Description of Notations]

15 Single Port Synchronous System RAM

41, 51, 52 Dual port synchronous system RAM

31, 42, 48, 64, 68 Selector

43, 62, 66 Address comparator

47, 63, 67 Address coincidence flag register

45, 61, 65 Auxiliary register

[Translation done.]

(11)特許出願公開番号

特開平11-3592

(43)公開日 平成11年(1999)1月6日

F I		
G 1 1 C	11/34	J
G 0 6 F	12/00	5 6 0 C
G 1 1 C	7/00	3 1 2 B
	11/34	K

審査請求 未請求 請求項の数13 O.L (全 17 頁)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(71)出願人 000237156

株式会社エフ・エフ・シー

東京都日野市富士町1番地

(72) 發明者 西脇 敏之

東京都日野市富士町1番地 富士ファコム

制御株式会社内

(72) 發明者 渡辺 哲仁

東京都日野市富士町1番地 富士ファコム

制御株式会社内

(74)代理人 弁理士 大菅 義之

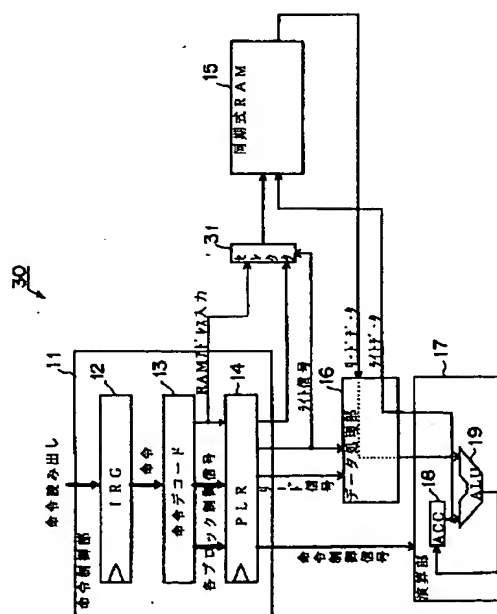
(54) 【発明の名称】 同期式RAMのアクセス制御回路、データ処理プロセッサ及びその制御方法

(57) 【要約】

【課題】 同期式RAMのアクセス時間を短縮する。

【解決手段】セレクト3 1には、パイプラインレジスタPLR 1 4の入力アドレスと出力アドレスとが入力しており、ライト時には、パイプラインレジスタPLR 1 4の出力アドレスを選択してライトアドレスとして同期式RAM 1 5に出力し、リード時にはパイプラインレジスタPLR 1 4の入力アドレスを選択してリードアドレスとして同期式RAM 1 5に出力する。これにより、リード時には、リード命令が実行される1 サイクル前にリードアドレスが同期式RAM 1 5に出力されるので、リードサイクルが1 サイクルで完了する。

第1の実施の形態のデータ処理 プロセッサのブロック図



(2)

【特許請求の範囲】

【請求項1】同期式RAMに対するデータのリード及びライトアクセスを制御するアクセス制御回路において、ライト時には、前記同期式RAMに対するリード及びライトアクセスを行う命令実行部から出力されるアドレスをライトアドレスとして前記同期式RAMに出力し、リード時には前記命令実行部で実行されるリード命令の1サイクル前のアドレスをリードアドレスとして前記同期式RAMに出力することを特徴とする同期式RAMのアクセス制御回路。

【請求項2】前記命令実行部は、読み出した命令を格納するインストラクションレジスタと、デコードされた前記命令を実行するパイプラインレジスタとからなり、ライト時には前記パイプラインレジスタから出力されるアドレスを選択してライトアドレスとして前記同期式RAMに出力し、リード時には前記パイプラインレジスタの入力アドレスを選択してリードアドレスとして前記同期式RAMに出力する選択回路とを備えることを特徴とする請求項1記載の同期式RAMのアクセス制御回路。

【請求項3】同期式RAMに対するデータのリード及びライトアクセスを制御するアクセス制御回路において、命令を格納する第1のレジスタと、デコードされた前記命令を実行する第2のレジスタとからなる命令実行部と、

ライト時には前記第2のレジスタから出力されるアドレスを選択してライトアドレスとして前記同期式RAMに出力し、リード時には前記第2のレジスタの入力アドレスを選択してリードアドレスとして前記同期式RAMに出力する選択回路とを備えることを特徴とする同期式RAMのアクセス制御回路。

【請求項4】デュアルポート同期式RAMに対するデータのリード及びライトアクセスを制御するアクセス制御回路において、

ライトサイクルにおけるライトデータを記憶する記憶回路と、

同一サイクルにおける前記デュアルポート同期式RAMの一方のポートのライトアドレスと、他方のポートのリードアドレスとを比較するアドレス比較回路と、

前記アドレス比較回路で前記2つのポートのライトアドレスとリードアドレスとの一致が検出されたとき、前記記憶回路に記憶されているデータを選択して前記デュアルポート同期式RAMのリードデータとして出力する選択回路とを備えることを特徴とするデュアルポート同期式RAMのアクセス制御回路。

【請求項5】少なくとも2つのデュアルポート同期式RAMを有し、

前記2つのデュアルポート同期式RAMの一方のポートをライト専用ポートとして同一のアドレスに同一のデータを同時に書き込み、他方のポートをリード専用ポートとしてそれぞれ独立にアクセスすることを特徴とするデ

2

ータ記憶回路。

【請求項6】命令を順次実行する命令実行部と、同期式RAMと、

ライト時には前記命令実行部から出力されるライトアドレスを選択して前記同期式RAMに出力し、リード時には前記命令実行部で実行されるリード命令の1サイクル前のリードアドレスを選択して前記同期式RAMに出力する選択回路とを備えることを特徴とするデータ処理プロセス。

10 【請求項7】前記命令実行部は、命令を格納するインストラクションレジスタと、前記命令をデコードして命令解釈を行うデコーダと、デコード結果を格納すると共に解釈された命令を実行するパイプラインレジスタとからなり、

前記選択回路は、前記パイプラインレジスタの入力アドレスと出力アドレスとを入力し、ライト時には前記パイプラインレジスタから出力されるアドレスをライトアドレスとして前記同期式RAMに出力し、リード時には前記パイプラインレジスタに入力するアドレスをリードアドレスとして前記同期式RAMに出力することを特徴とする請求項6記載のデータ処理プロセス。

【請求項8】デュアルポート同期式RAMと、

前記デュアルポート同期式RAMの2つのポートに対応して、それぞれ命令を実行する第1及び第2の命令実行部と、

ライト時には前記第1の命令実行部の出力アドレスを選択してライトアドレスとして前記デュアルポート同期式RAMの一方のポートに出力し、リード時には前記第1の命令実行部で実行されるリード命令の1サイクル前のアドレスをリードアドレスとして前記一方のポートに出力する第1の選択回路と、

30 前記第2の命令実行部で実行されるリード命令の1サイクル前のアドレスを前記デュアルポート同期式RAMの他方のポートに出力するアドレス出力回路と、前記デュアルポート同期式RAMのライトデータを記憶する記憶回路と、

同一サイクルにおける前記デュアルポート同期式RAMの一方のポートのライトアドレスと、他方のポートのリードアドレスとを比較するアドレス比較回路と、

40 前記アドレス比較回路で前記2つのポートのライトアドレスとリードアドレスとの一致が検出されたとき、前記記憶回路に記憶されているデータを選択して前記デュアルポート同期式RAMのリードデータとして出力する第2の選択回路とを備えることを特徴とするデータ処理プロセス。

【請求項9】命令を順次実行する命令実行部と、

少なくとも2つのデュアルポート同期式RAMとを有し、

前記2つのデュアルポート同期式RAMの一方のポートをライト専用ポートとして同一のアドレスに同一のデー

50

(3)

3

タを同時に書き込み、他方のポートをリード専用ポートとしてそれぞれ独立にアクセスすることを特徴とするデータ処理プロセッサ。

【請求項10】少なくとも2つのデュアルポート同期式RAMと、

前記2つのデュアルポート同期式RAMのライトデータを記憶する第1及び第2の記憶回路と、

同一サイクルにおけるライトアドレスとリードアドレスとを比較する第1及び第2のアドレス比較回路と、

前記第1または第2のアドレス比較回路でアドレスの一致が検出されたとき、前記第1または第2の記憶回路に記憶されているデータを選択して前記第1または第2のデュアルポート同期式RAMのリードデータとして出力し、前記アドレスの不一致が検出されたときには、前記第1または第2のデュアルポート同期式RAMの出力データを選択して出力する第1及び第2選択回路とを備えることを特徴とするデュアルポート同期式RAMのアクセス制御回路。

【請求項11】同期式RAMに対するデータのリード及びライトアクセスを制御するアクセス制御方法において、

ライト時には命令実行部から出力されるアドレスをライトアドレスとして前記同期式RAMに出力し、リード時には前記命令実行部で実行されるリード命令の1サイクル前のアドレスをリードアドレスとして前記同期式RAMに出力することを特徴とする同期式RAMのアクセス制御方法。

【請求項12】デュアルポート同期式RAMに対するデータのリード及びライトアクセスを制御するアクセス制御方法において、

ライトサイクルにおけるライトデータを記憶し、同一サイクルにおけるライトアドレスとリードアドレスとを比較し、

前記アドレス比較でアドレスが一致したときには、記憶されているライトデータを前記デュアルポート同期式RAMのリードデータとして出力し、アドレスが不一致のときには、前記デュアルポートRAMから読み出されるデータを出力することを特徴とするデュアルポート同期式RAMのアクセス制御方法。

【請求項13】2つのデュアルポート同期式RAMの一方のポートをライト専用ポートとして同一のアドレスに同一のデータを同時に書き込み、前記2つのデュアルポートRAMの他方のポートをリード専用ポートとして、それぞれ独立にアクセスすることを特徴とするデュアルポートRAMのアクセス制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シングルポート及びデュアルポート同期式RAMのアクセス制御回路、データ処理プロセッサ及びその制御方法に関する。

4

【0002】

【従来の技術】クロック信号に同期したタイミングでデータの書き込み及び読み出しが行われる同期式RAMが知られている。同期式RAMのアクセス基本波形は、図8に示すようにライトサイクルでは、ライト信号がイネーブル（ローレベル）となり、1サイクルの間にアドレスとデータが入力されてデータの書き込みが行われる。リードサイクルでは、1クロック目に読み出しアドレスが入力され、次の2クロック目にデータが読み出される。つまり、ライトサイクルは1サイクル、リードサイクルは2サイクルのアクセス時間がかかる。

【0003】図9は、シングルポート同期式RAM15の入出力ポートを示す図であり、図10はその基本波形を示す図である。シングルポート同期式RAM15は、クロック入力端子CLKと、アドレス入力端子AD、ライト信号入力端子*WT、データ入力端子DI及びデータ出力端子DOを備えている。

【0004】先ず、ライトサイクルではアドレス入力“X'10”が与えられ、同一サイクルにデータ入力として“X'1000”が与えられる。ライトサイクルとリードサイクルとが連続した場合、ライトサイクルの次のサイクルでは、読み出しアドレス“X'20”が出力されても、このときデータは同期式RAM15から出力されず、その次のサイクルでデータ“X'2000”が出力される。つまり、ライトサイクルの次のサイクルでリードアドレスが指定されても、同期式RAM15の出力データは不定となり、その次のサイクルでデータが確定する。従ってライトサイクルに1クロック、リードサイクルに2クロックのアクセス時間がかかる。

【0005】次に、図11は、シングルポート同期式RAM15を使用した従来のパイプライン制御方式のデータ処理プロセッサ10のブロック図である。命令制御部11は、読み出した命令を格納するインストラクションレジスタIRG(instruction register)12と、その格納された命令をデコードして命令解釈を行う命令デコード13と、デコード13で解釈された命令を格納及び実行するパイプラインレジスタPLR(pipeline register)14とからなる。

【0006】パイプラインレジスタPLR14は、アドレスデータとライト信号を同期式RAM15に出力し、リード信号とライト信号をデータ処理部16へ出力し、さらに演算部17における演算を指示する命令制御信号を出力する。演算部17は、ACC(accumulator)18とALU(arithmetic logic unit)とからなる。ALU19は、命令制御信号に従ってACC18のデータとデータ処理部16から出力されるデータに対して演算を行い、演算結果をACC18に出力する。また、ACC18に格納されたデータは、データ処理部16を介して同期式RAM15に書き込まれる。

【0007】次に、図11のデータ処理プロセッサ10

50

(4)

5

において、同期式RAM15から読み出したデータとACC18のデータとの加算と、その加算結果を同期式RAM15へ書き込む2つの演算を行う場合について、図12の命令実行タイミングチャートを参照して説明する。

【0008】まず、サイクルaで同期式RAM15からアドレス"X'10"のデータをリードして、そのデータとACC18のデータとを加算する命令がインストラクションレジスタIRG12に取り込まれ、同じサイクルで命令デコード13により命令がデコードされる。次のサイクルbで、デコード結果がパイプラインレジスタPLR14に格納され、その命令が実行される。しかしながら、リードアドレスが与えられて同期式RAM15から実際にデータが出力されるのは次のサイクルであり、データの読み出しに2サイクル必要であるので、パイプラインレジスタPLR14に格納されている命令はWAIT制御信号により1サイクルウェイトされる。そして、次のサイクルcで、同期式RAM15のアドレス"X'10"から読み出されるデータ"X'200"とACC18に格納されているデータ"X'100"との加算が行われる。

【0009】次のサイクルdでライトイネーブル信号が出力されると、RAM15のアドレス"X'20"にACC18に格納されている加算結果のデータ"X'300"が書き込まれる。

【0010】上述したデータ処理プロセッサ10では、同期式RAM15からデータを読み出す処理が2サイクルのアクセス時間を必要とし、ACC18の格納データをRAM15に書き込む処理が1サイクルのアクセス時間を必要とするので合計で3サイクルのアクセス時間が必要であった。

【0011】次にデュアルポート同期式RAM21における基本動作を図13及び図14を参照して説明する。デュアルポート同期式RAM21は、図13に示すようにA系ポートのアドレス入力端子ADA、データ入力端子DI、ライト信号入力端子WT、データ出力端子DOA、B系ポートのアドレス入力端子ADB、データ出力端子DOBからなり、A系ポートはリード/ライトポート、B系ポートはリード専用ポートである。

【0012】図14の①に示すように同一サイクルにA系ポート、B系ポートの同じアドレスに対してリード動作を行う場合には、A系ポート、B系ポートとも支障なくアクセスできる。また、同図②に示すように同一サイクルで異なるアドレスに対してA系ポートがライト動作で、B系ポートがリード動作の場合も両ポートとも支障なくアクセスできる。しかしながら、同図③に示すように同一サイクルで同一アドレスに対してA系ポートがライト動作で、B系ポートがリード動作を行う場合、B系ポートの出力データが不定となる。

【0013】従って、図14の③のようなアクセスが発

6

生しないようにA系ポートとB系ポートのアクセスを排他制御するためのソフトウェア処理、あるいはハードウェア回路が必要となり、処理時間の増大、あるいはハードウェア回路の複雑化を生じさせるという問題点があった。

【0014】次に、上記のデュアルポート同期式RAM21をデータ処理プロセッサのワークレジスタとして使用した場合について図15及び図16を参照して説明する。A系ポートをソースレジスタ及びディストネーションレジスタ、B系ポートをソースレジスタとして使用して、①A系ポートのソースレジスタからデータを読み込み、②B系ポートのソースレジスタからデータを読み込み、③それらを加算してA系ポートのディストネーションレジスタに書き込む命令と、④A系ポートのソースレジスタからデータを読み出し、⑤B系ポートのソースレジスタからデータを読み出し、⑥それらを加算してA系ポートのディストネーションレジスタに書き込む命令の2つの命令を実行する場合について説明する。

【0015】デュアルポート同期式RAM21では、1つのポートに対してライトサイクルとリードサイクルを連続して行うことができないので、③のA系ポートへの書き込みサイクルの次に④のA系ポートからのデータの読み出しを行うことができない。

【0016】従って①+②=③と、④+⑤=⑥の2つの命令を連続して実行することができないので、従来、プログラムを作成する際に、①+②=③の命令の次に"NOP"を記述して、図16に示すように無処理の期間を設ける必要があった。

【0017】

【発明が解決しようとする課題】上述したようにシングルポート同期式RAMにおいて、データのリードサイクルが2クロックかかるので、同期式RAMのアクセス時間が長くなるという問題点があった。

【0018】また、デュアルポート同期式RAMにおいて、アクセスの競合を避けるために排他制御を行う必要があり、そのためにソフトウェア、あるいはハードウェアによるインタロックが必要であり、プログラム及び演算処理時間の増加、あるいは回路規模が増大するという問題点があった。

【0019】さらに、デュアルポート同期式RAMをワークレジスタとして使用した場合に、1つのポートに対するライトサイクルとリードサイクルを連続して処理できないので、"NOP"等をライトサイクルの次に挿入する必要があり、プログラム量が増え、処理時間が長くなるという問題点があった。

【0020】本発明の課題は、同期式RAMにおいて、データの読み出しを1クロックで行えるようにすることである。本発明の他の課題は、デュアルポート同期式RAMにおいて、同一サイクルでライトアドレスとリードアドレスが一致する場合でもデータの読み出しが行える

10

20

30

40

50

(5)

7

ようにすることである。

【0021】さらに他の課題は、デュアルポート同期式RAMに対してライトサイクルとリードサイクルを連続して実行できるようにすることである。

【0022】

【課題を解決するための手段】第1の発明は、同期式RAMに対するデータのリード及びライトアクセスを制御するアクセス制御回路において、ライト時には、同期式RAMに対するリード及びライトアクセスを行う命令実行部から出力されるアドレスをライトアドレスとして同期式RAMに出力し、リード時には命令実行部で実行されリード命令の1サイクル前のアドレスをリードアドレスとして同期式RAMに出力することを特徴とする。

【0023】この第1の発明によれば、従来、リードサイクルでアドレスが出力されるタイミングの1サイクル前にリードアドレスが同期式RAMに出力され、その次のサイクルにそのアドレスのデータが読み出されるので、リードサイクルを1サイクルで完了することができ、同期式RAMのアクセス時間を短縮できる。

【0024】第2の発明は、デュアルポート同期式RAMに対するデータのリード及びライトアクセスを制御するアクセス制御回路において、ライトサイクルにおけるライトデータを記憶する記憶回路と、同一サイクルにおけるデュアルポート同期式RAMの一方のポートのライトアドレスと、他方のポートのリードアドレスとを比較するアドレス比較回路と、アドレス比較回路で2つのポートのライトアドレスとリードアドレスとの一致が検出されたとき、記憶回路に記憶されているデータを選択してデュアルポート同期式RAMのリードデータとして出力する選択回路とを備える。

【0025】第2の発明によれば、同一サイクルにおけるデュアルポートRAMの一方のポートのライトアドレスと、他方のポートのリードアドレスとが一致する場合でも、ライトサイクルで書き込まれたデータが記憶回路から出力されるので、同一サイクルでの同一アドレスでのアクセスの競合が発生しない。従って、2つのポートに対するアクセスの排他制御をする必要がなくなり、プログラムを簡素化でき、それにより処理時間も短縮できる。

【0026】第3の発明は、少なくとも2つのデュアルポートRAMを有し、2つのデュアルポートRAMの一方のポートをライト専用ポートとして同一のアドレスに同一のデータを同時に書き込み、他方のポートをリード専用ポートとしてそれぞれ独立にアクセスする第3の発明によれば、ライトサイクルとリードサイクルが連続する場合でも、それぞれ別のポートにライト及びリードすることで、それらの命令を連続して実行することができ、従って、ライトサイクルとリードサイクルとの間に無処理の期間を設ける必要がなくなるので、プログラムの作成する際にNOPを挿入することを意識する必要が

8

なくなり、プログラム量も少なくなるので処理時間も短縮できる。

【0027】

【発明の実施の形態】以下、本発明を図面を参照して説明する。図1は、本発明の第1の実施の形態のパイプライン制御方式のデータ処理プロセッサ30のブロック図である。このデータ処理プロセッサ30と、図11の従来のデータ処理プロセッサ10で共通するブロックには、同一の符号を付けてそれらの説明は省略する。

【0028】セレクトタ（選択回路）31には、パイプラインレジスタPLR (pipeline register) 14の入力アドレスと出力アドレスとが入力され、その制御端子にシングルポート同期式RAM15のライト信号が入力されている。

【0029】セレクトタ31は、ライト信号がディセーブル（ローレベル）のとき、つまりリードサイクルのときに、パイプラインレジスタPLR14に入力されるアドレスを選択してシングルポート同期式RAM15に出力し、ライト信号がイネーブルのとき、パイプラインレジスタPLR14の出力アドレスをシングルポート同期式RAM15に出力する。

【0030】すなわち、リード命令がパイプラインレジスタPLR14に格納されて実行される1サイクル前に、パイプラインレジスタPLR14に入力されるリードアドレスがセレクトタ31で選択されてシングルポート同期式RAM15に供給される。従って、パイプラインレジスタPLR14に格納されている命令が実行される1サイクル前にシングルポート同期式RAM15にリードアドレスが出力され、次のサイクルにそのアドレスのデータが読み出されるので、リードサイクルを含む命令が1サイクルで完了する。

【0031】また、ライトサイクルの場合には、パイプラインレジスタPLR14に格納されているライト命令が実行されるのと同一サイクルに、パイプラインレジスタPLR14から出力されるライトアドレスが、セレクトタ31で選択されてシングルポート同期式RAM15に供給され、そのアドレスにデータが書き込まれるので、ライトサイクルを含む命令が1サイクルで完了する。

【0032】図2は、シングルポート同期式RAM15のアドレス"X'10"のデータとACC (accumulator) 18のデータを加算し、加算結果をシングルポート同期式RAM15のアドレス"X'20"に書き込む場合のデータ処理プロセッサ31の命令実行タイミングチャートである。

【0033】サイクルaでインストラクションレジスタIRG12に格納された命令をデコードして命令解釈を行う。このとき、ライト信号*WTはディセーブルで、リードサイクルであるのでパイプラインレジスタPLR14に入力されるアドレス"X'10"がセレクトタ32で選択されてシングルポート同期式RAM15にリード

(6)

9

アドレスとして出力される。次のサイクルbでは、1つ前のサイクルaでシングルポート同期式RAM15のアドレス"X'10"が指定されているので、そのアドレス"X'10"のデータ"X'200"の読み出しと、読み出したデータとACC18のデータ"X'100"との加算が行われる。

【0034】すなわち、リードサイクル時には、セレクト31により1サイクル前に、同期式RAM15へリードアドレスが出力されるので、次の1サイクルでデータのリードが行われ、データのリードサイクルが実質的に1サイクルで完了する。

【0035】そして、次のサイクルcで、ACC18に格納された加算結果の"X'300"がシングルポート同期式RAM15のアドレス"X'20"に書き込まれる。この場合、データのライトサイクルは1サイクルで完了する。

【0036】この第1の実施の形態によれば、リードサイクルでは、パイプラインレジスタPLR14の入力アドレスを、同期式RAM15に供給することにより、実質的に1サイクルで同期式RAM15からのデータの読み出しを完了することができ、データを高速でリード／ライトできる。

【0037】次に、図3は、デュアルポート同期式RAM41の同一アドレスに対してデータのライトとリードを連続して行えるようにした本発明の第2の実施の形態のパイプライン制御方式のデータ処理プロセッサ40のブロック図である。なお、既に説明した回路ブロックと同一の部分には同じ符号を付けてそれらの説明を省略する。

【0038】デュアルポート同期式RAM41は、A系ポートとB系ポートの2つのポートを有し、この実施の形態ではA系をライトポート、B系をリードポートとして使用している。

【0039】セレクト42には、パイプラインレジスタPLR14aに入力されるアドレスと、パイプラインレジスタPLR14aから出力されるアドレスとが入力されており、セレクト42の制御端子にはパイプラインレジスタPLR14aから出力されるライト信号が入力している。このセレクト42は、ライト信号がイネーブルのとき、パイプラインレジスタ14aから出力されるアドレスを選択してデュアルポート同期式RAM41のA系ポートのアドレス入力端子ADAに出力し、ライト信号がディセーブルのときには、パイプラインレジスタPLR14aの入力側のアドレスを選択してA系ポートのアドレス入力端子ADAに出力する。また、セレクト42の出力はアドレスコンパレータ43に出力されている。

【0040】これにより、リードサイクルの1サイクル前に、デュアルポートRAM41のA系ポートにリードアドレスが入力され、次のサイクルにそのアドレスのデ

10

ータが出力されるので、リードサイクルを1サイクルで完了することができる。

【0041】ライトサイクルのときには、セレクト42でパイプラインレジスタ14aの出力アドレスが選択されてデュアルポート同期式RAM41のA系ポートに出力され、データ処理部44から出力され、A系ポートのデータ入力端子DIに入力するデータがそのアドレスに書き込まれ、同時にそのデータが補助レジスタ45に書き込まれる。

【0042】デュアルポートRAM41のB系ポートのアドレス入力端子ADBには、パイプラインレジスタ14bの入力アドレスが入力しており、この入力アドレスはアドレスコンパレータ43の他方の入力端子に入力している。

【0043】アドレスコンパレータ43は、A系ポートのライトアドレスとB系ポートのリードアドレスとを比較し、両者が一致したとき、ハイレベルの信号をアンドゲート46に出力する。アンドゲート46の他の入力端子にはパイプラインレジスタ14aから出力されるライト信号が入力されており、ライト信号がディセーブル（ハイレベル）で、かつA系ポートのライトアドレスと、B系ポートのリードアドレスとが一致したときハイレベルの信号をアドレス一致フラグレジスタ47に出力する。アドレス一致フラグレジスタ47は、アンドゲート46の出力がハイレベルのときアドレス一致フラグを"1"にする。

【0044】セレクト48は、アドレス一致フラグレジスタ47から出力されるアドレス一致フラグの内容によって、デュアルポート同期式RAM41のB系ポートの出力と、補助レジスタ45の出力との一方を選択してデータ処理部49に出力する回路である。アドレス一致フラグが"1"のとき、つまり同一サイクルのライトアドレスとリードアドレスとが一致する場合には、補助レジスタ46に格納されているライトサイクルで書き込まれたデータを選択してデータ処理部49に出力する。

【0045】これにより、デュアルポート同期式RAM41の異なるポートにライト及びリードが行われ、同一サイクルにおけるライトアドレスとリードアドレスが一致して、デュアルポート同期式RAM41の出力が不定となっても、デュアルポート同期式RAM41の出力データの代わりに補助レジスタ45に格納されているライトデータを出力することで、デュアルポート同期式RAM41の指定されたアドレスに書き込まれたデータを読み出すことができる。

【0046】他方、アドレス一致フラグレジスタ47のアドレス一致フラグが"0"のときには、セレクト48はデュアルポート同期式RAM41の出力データを選択してデータ処理部49に出力するので、同一サイクルでライトアドレスとリードアドレスが同一である時以外は、デュアルポート同期式RAM41のデータがデータ

(7)

11

処理部49に出力される。

【0047】図4は、上述した第2の実施の形態のデータ処理プロセッサ40のアクセスタイミングチャートである。サイクルaでライト信号*WTがイネーブルとなり、A系ポートの入力アドレスとして"x'10"が指定され、A系入力データとして"x'100"が入力されると、デュアルポート同期式RAM41のアドレス"x'10"にデータ"x'100"が書き込まれ、同時に補助レジスタ45にそのデータ"x'100"が格納される。このサイクルaでは同時にB系ポートのリードアドレスとして、ライトアドレスと同じ"x'10"が出力されており、アドレスが一致するのでアドレスコンパレータ43の出力はハイレベルとなる。

【0048】次のサイクルbでは、ライト信号*WTがディセーブルとなる。また、1サイクル前のライトサイクルでA系ポートのライトアドレスとB系ポートのリードアドレスが共に"x'10"でアドレスが一致し、アドレスコンパレータ43の出力はハイレベルとなっているので、アドレス一致フラグレジスタ47の出力が"1"になる。このとき、B系ポートの出力データは不定となっているが、アドレス一致フラグが"1"であるので、セレクト48は補助レジスタ45に記憶されているデータ"x'100"、つまり、ライトサイクルで書き込まれたデータを選択してデータ処理部49に出力する。

【0049】この第2の実施の形態によれば、同一サイクルにおいてライトアドレスとリードアドレスとが一致した場合でも、補助レジスタ45に記憶されているデータを読み出すことで、デュアルポートRAM41の指定されたアドレスのデータと同一のデータを読み出すことができる。従って、デュアルポートRAMに対するアクセスの競合を意識せずにプログラムを作成でき、プログラムも簡素化でき、処理時間も短縮できる。

【0050】なお、この第2の実施の形態では、パイプラインレジスタPLR14aの入力アドレスをリードアドレスとして出力してリードサイクルを1サイクルで完了させる場合について説明したが、従来のようにパイプラインレジスタPLR14の出力アドレスをリードアドレスとして出力してリードサイクルに2サイクル要する場合にも適用できる。

【0051】次に、図5は、2個のデュアルポート同期式RAMを使用して、ライトサイクルとリードサイクルを連続して行えるようにした本発明の第3の実施の形態のデータ処理プロセッサ50のブロック図である。同図において、既に説明した回路ブロックと同一の部分には同じ符号を付けて説明を省略する。

【0052】2個のデュアルポート同期式RAM51、52のA系ポートはライト専用ポートとなっており、B系ポートは読み出し専用ポートとなっており、それぞれ独立にアクセスできる。デュアルポート同期式RAM5

12

1、52のA系ポートのアドレス端子ADAにはパイプラインレジスタPLR14から出力されるディストネーション(RD)アドレスが入力し、データ入力端子DIにはALU19の出力データが入力している。つまり2個のデュアルポート同期式RAM51、52の同一のアドレスに同一のデータが同時に書き込まれるようになっている。

【0053】レジスタRS1として使用されるデュアルポート同期式RAM51のB系ポートのアドレス端子ADBには、デコーダ13から出力されるレジスタRS1のリードアドレスが入力し、出力端子DOBから読み出されるデータがALU19の一方の入力端子に出力される。

【0054】レジスタRS2として使用されるデュアルポートRAM52のB系ポートのアドレス端子ADBには、デコーダ13から出力されるRS2のリードアドレスが入力し、データ出力端子DOBから読み出されるデータがALU19の他方の入力端子に出力される。

【0055】以下、第3の実施の形態において、レジスタRS1及びRS2の値を加算してディストネーションレジスタに格納するときの動作を、図6を参照して説明する。

【0056】デュアルポート同期式RAM51のB系ポートにレジスタRS1のリードアドレスが入力され、そのアドレスのデータがALU19の一方の入力端子に出力される(図6①)。次にデュアルポート同期式RAM52のB系ポートにレジスタRS2のリードアドレスが入力され、そのアドレスのデータが読み出されてALU19の他方の入力端子に出力される(図6②)。さらに、デュアルポート同期式RAM51、52のA系ポートにライトアドレスが入力され、レジスタRS1とレジスタRS2の値を加算した結果がデュアルポート同期式RAM51、52のA系ポートの同じアドレスに書き込まれる(図6③)。

【0057】次にデュアルポート同期式RAM52のB系ポートにレジスタRS1のリードアドレスが入力され、そのアドレスのデータが読み出されてALU19の一方の入力端子に出力される(図6④)。

【0058】この場合、ライトサイクルとリードサイクルが連続しているが、ライト動作がデュアルポート同期式RAM51及び52のA系ポートで、リード動作がデュアルポート同期式RAM52のB系ポートとなっているので、同一のポートに対するライト動作とリード動作ではないので、それらの命令を連続して実行できる。

【0059】以下同様に、デュアルポート同期式RAM52にレジスタRS2のリードアドレスが入力され、そのアドレスのデータが読み出されてALU19の他方の入力端子に出力される(図6⑤)。さらに、ALU19から出力されるレジスタRS1の値とレジスタRS2の値の加算結果(①+②)を、パイプラインレジスタPL

(8)

13

R14から出力されるアドレスに書き込む(図6⑥)。

【0060】この第3の実施の形態によれば、同一ポートに対してライトサイクルとリードサイクルが連続することがなくなる。従って、従来のようにライトサイクルとリードサイクルとの間にNOPを挿入する必要がなくなるので、その分プログラム量を少なくなり処理時間も短縮される。

【0061】次に、図7は、デュアルポート同期式RAMに対するライトサイクルとリードサイクルを連続して実行できると共に、同一サイクルの同一アドレスに対するアクセスの競合を防止するようにした本発明の第4の実施の形態のデータ処理プロセッサ60のブロック図である。

【0062】デュアルポート同期式RAM51、52は、第3の実施の形態で述べたのと同じのものであり、2つのデュアルポート同期式RAM51、52のA系のポートがライト専用で同一のアドレスに同一のデータが書き込まれ、B系のポートがリード専用でそれぞれレジスタRS1、レジスタRS2として独立にアクセスできるようにになっている。

【0063】補助レジスタ61には、デュアルポート同期式RAM51に書き込まれた最新のデータが記憶される。アドレスコンパレータ62は、デュアルポート同期式RAM51のA系ポートのライトアドレスと、B系ポートのレジスタRS1のリードアドレスとを比較し、比較結果をアドレス一致フラグレジスタ63に出力する。アドレス一致フラグレジスタ63は、アドレスコンパレータ62からアドレスの一致を示す信号が入力すると、アドレス一致フラグを”1”にし、その”1”の信号をセクタ64の制御端子に出力する。

【0064】セクタ64は、アドレス一致フラグの内容に従って、デュアルポートRAM51から読み出されるデータと、補助レジスタ61の出力データの一方を選択してALU19に出力する。

【0065】デュアルポートRAM52にも同様に補助レジスタ65、アドレスコンパレータ66、アドレス一致フラグレジスタ67、セクタ68が設けられており、デュアルポート同期式RAM52のライトアドレスとレジスタRS2のリードアドレスとを比較し、両者が一致した場合には、補助レジスタ65のデータが選択されてALU19の他方の入力端子に出力される。

【0066】今、ライトサイクルでデュアルポート同期式RAM51、52のA系ポートの同一アドレスに同一データが書き込まれると、同時に補助レジスタ61、65にも同一のデータが書き込まれる。そして、次のサイクルがリードサイクルであると、リードサイクルの1サイクル前、つまりライトアドレスが出力されるのと同じのサイクルにデコーダ13からリードアドレスが出力される。そして、アドレスコンパレータ62、66でライトアドレスとリードアドレスとが比較され、アドレスコ

14

ンパレータ62または66がアドレスの一致を検出すると、アドレス一致フラグレジスタ63または67の出力を”1”にセットする。すると、セクタ64または68が補助レジスタ61または65に格納されているデータを選択してALU19に出力する。これにより、同一サイクルでライトアドレスとリードアドレスが同一であったときにも、そのアドレスに記憶されているデータと同一のデータが補助レジスタ61(または補助レジスタ65)から出力される。

【0067】従って、同一サイクルで同一アドレスに対するアクセスが生じないようにアクセスの競合を防止するための制御を行う必要がなくなるので、プログラムが簡素になり処理時間も短くなる。

【0068】さらに、デュアルポート同期式RAM51、52のA系ポートをライト専用ポートとして同一のアドレスに同一のデータを書き込み、B系ポートをリード専用ポートとしてそれぞれ独立にアクセスするようにしたので、ライトアクセスとリードアクセスが連続する場合でも、NOPを挿入することなくそれらの命令を連続して実行できる。

【0069】なお、上記の実施の形態は、本発明をパイプライン制御方式のデータ処理プロセッサに適用した場合であるが、一般的なマイクロプログラム制御方式のデータ処理プロセッサに適用することもできる。

【0070】

【発明の効果】本発明によれば、同期式RAMのリードサイクルが1サイクルで完了するので、同期式RAMのアクセス時間を短縮できる。また、デュアルポート同期式RAMにおいて、同一サイクルで同一アドレスに対するアクセスの競合が生じないので、従来のようにアクセスの競合を意識してプログラムを作成する必要がなくなり、プログラム簡素化でき、処理時間も短縮できる。さらに、2つのデュアルポートRAMを用いることで、同一ポートに対してライトサイクルとリードサイクルが連続することがなくなるので、ライトとリードを連続して実行することが可能となる。

【図面の簡単な説明】

【図1】第1の実施の形態のデータ処理プロセッサのブロック図である。

【図2】第1の実施の形態のデータ処理プロセッサの命令実行タイミングチャートである。

【図3】第2の実施の形態のデータ処理プロセッサのブロック図である。

【図4】第2の実施の形態のデータ処理プロセッサのアクセスタイミングチャートである。

【図5】第3の実施の形態のデータ処理プロセッサのブロック図である。

【図6】第3の実施の形態の連続命令実行時の同期式RAMの動作を示す図である。

【図7】第4の実施の形態のデータ処理プロセッサのブ

(9)

15

ロック図である。

【図8】同図（A）、（B）は同期式RAMのアクセスの基本波形を示す図である。

【図9】シングルポート同期式RAMの入出力ポートを示す図である。

【図10】シングルポート同期式RAMの基本波形を示す図である。

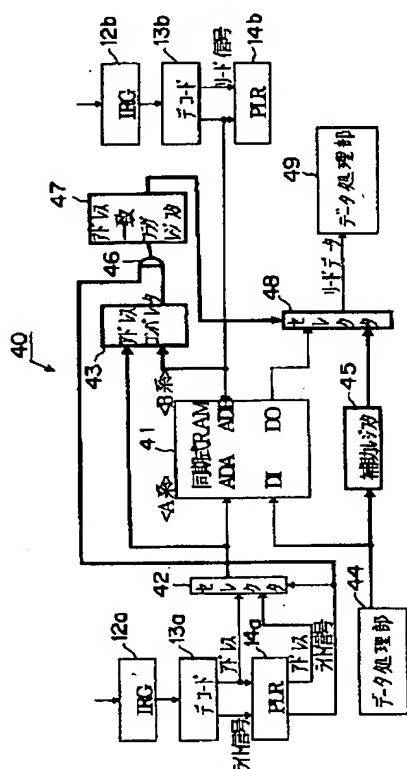
【図11】従来のパイプライン制御方式のデータ処理プロセッサのブロック図である。

【図12】従来のパイプライン制御方式のデータ処理プロセッサの命令実行タイミングチャートである。

【図13】デュアルポート同期式RAMの入出力ポートを示す図である。

【図3】

第2の実施の形態の
データ処理プロセッサのブロック図



16

【図14】デュアルポート同期式RAMの基本波形を示す図である。

【図15】連続命令実行時の同期式RAMの動作を示す図である。

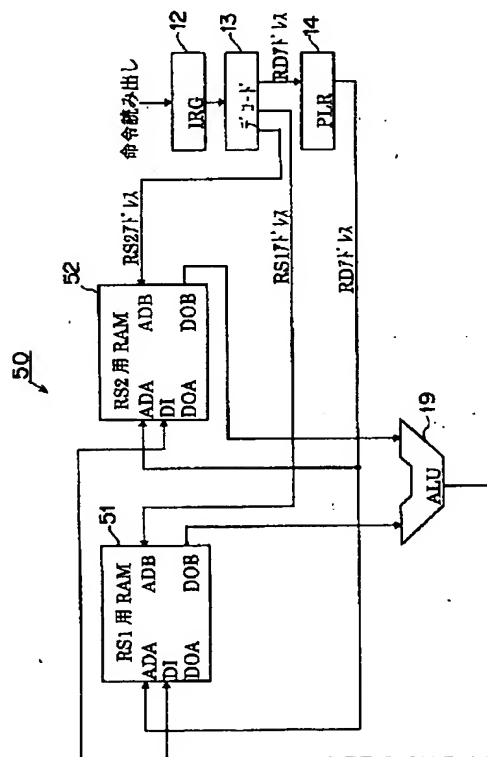
【図16】NOP命令を追加した連続命令実行時の同期式RAMの動作を示す図である。

【符号の説明】

- 15 シングルポート同期式RAM
- 41, 51, 52 デュアルポート同期式RAM
- 31, 42, 48, 64, 68 セレクタ
- 43, 62, 66 アドレスコンパレータ
- 47, 63, 67 アドレス一致フラグレジスタ
- 45, 61, 65 補助レジスタ

【図5】

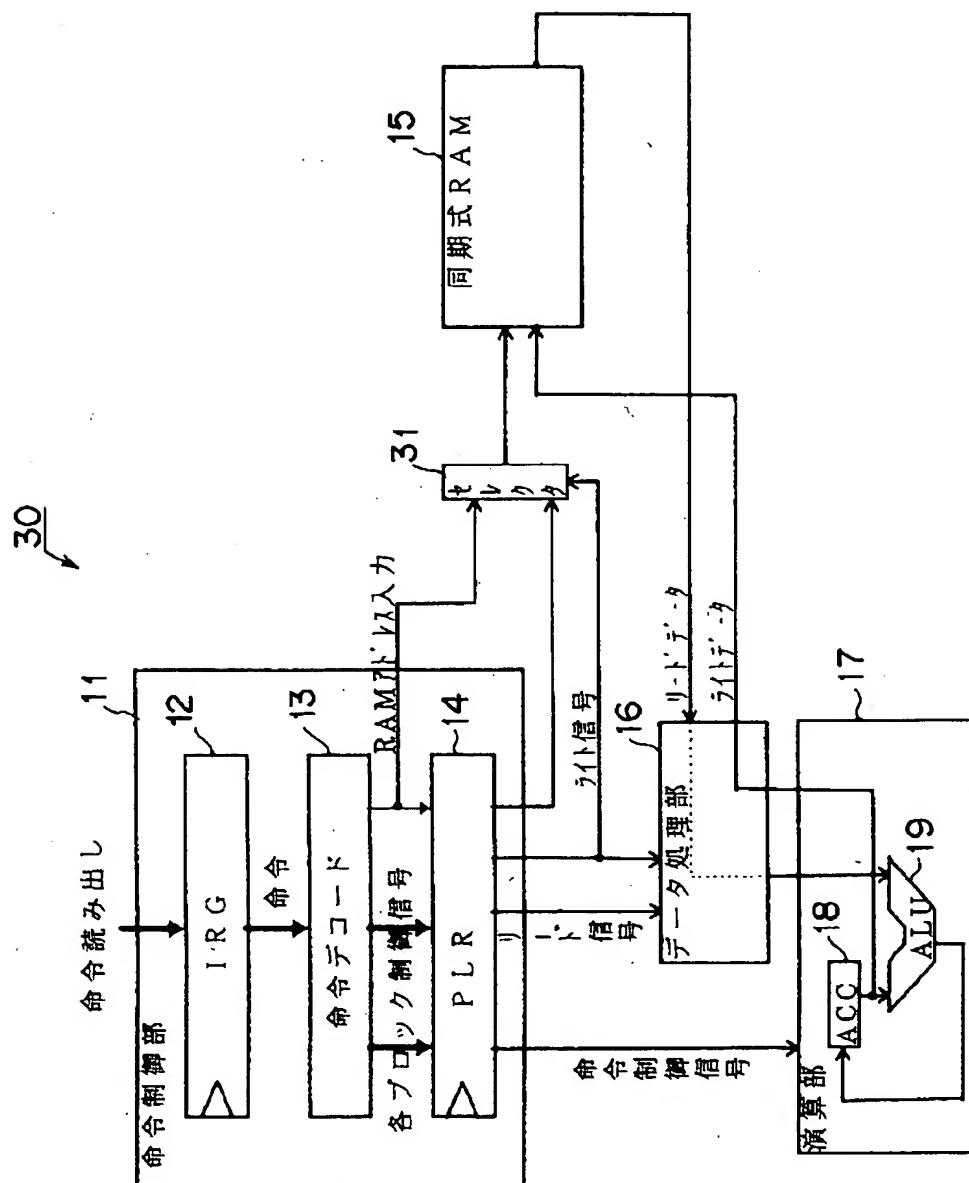
第3の実施の形態の
データ処理プロセッサのブロック図



(10)

【図1】

第1の実施の形態のデータ処理
プロセッサのブロック図

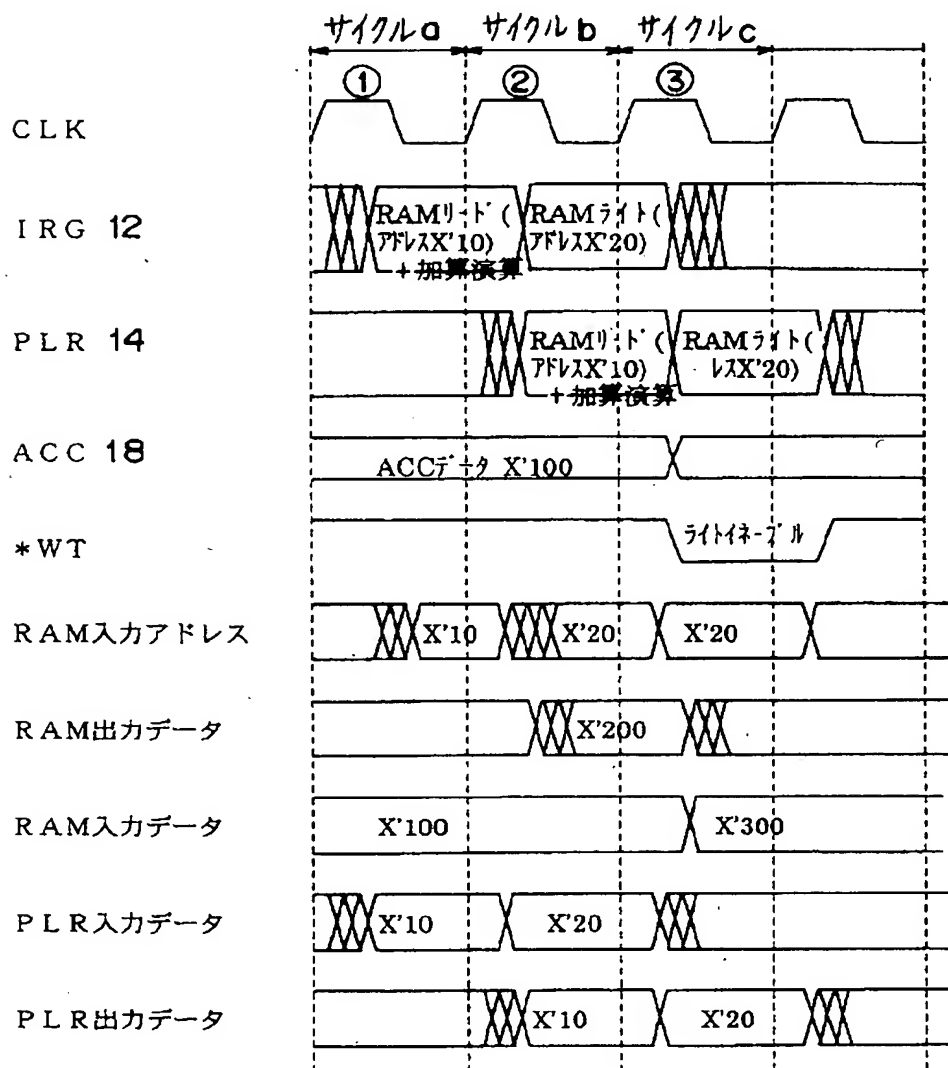


(11)

【図2】

第1の実施の形態のデータ処理

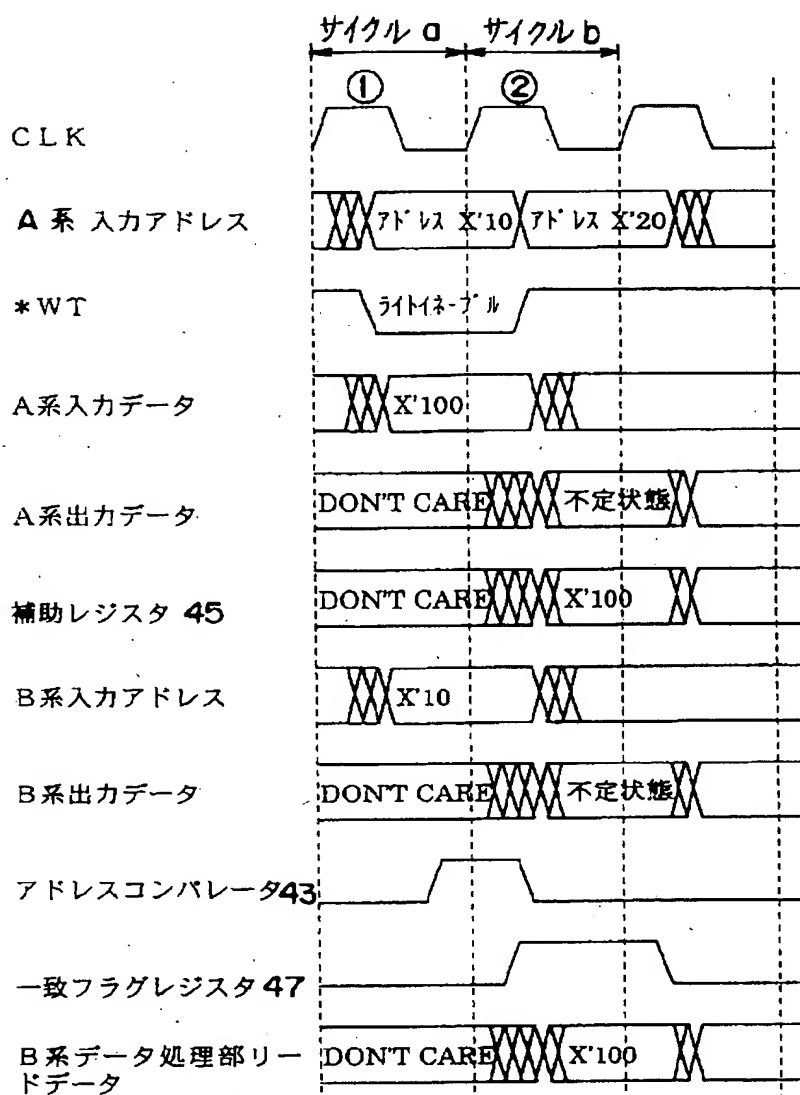
プロセッサの命令実行タイミングチャート



(12)

【図4】

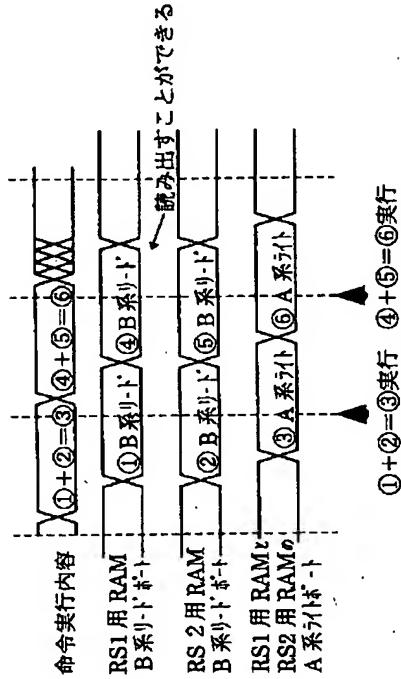
第2の実施の形態の
データ処理プロセッサのアクセスタイミングチャート



(13)

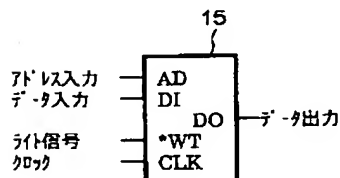
【図6】

第3の実施の形態の連続命令実行の同期式RAMの動作を示す図



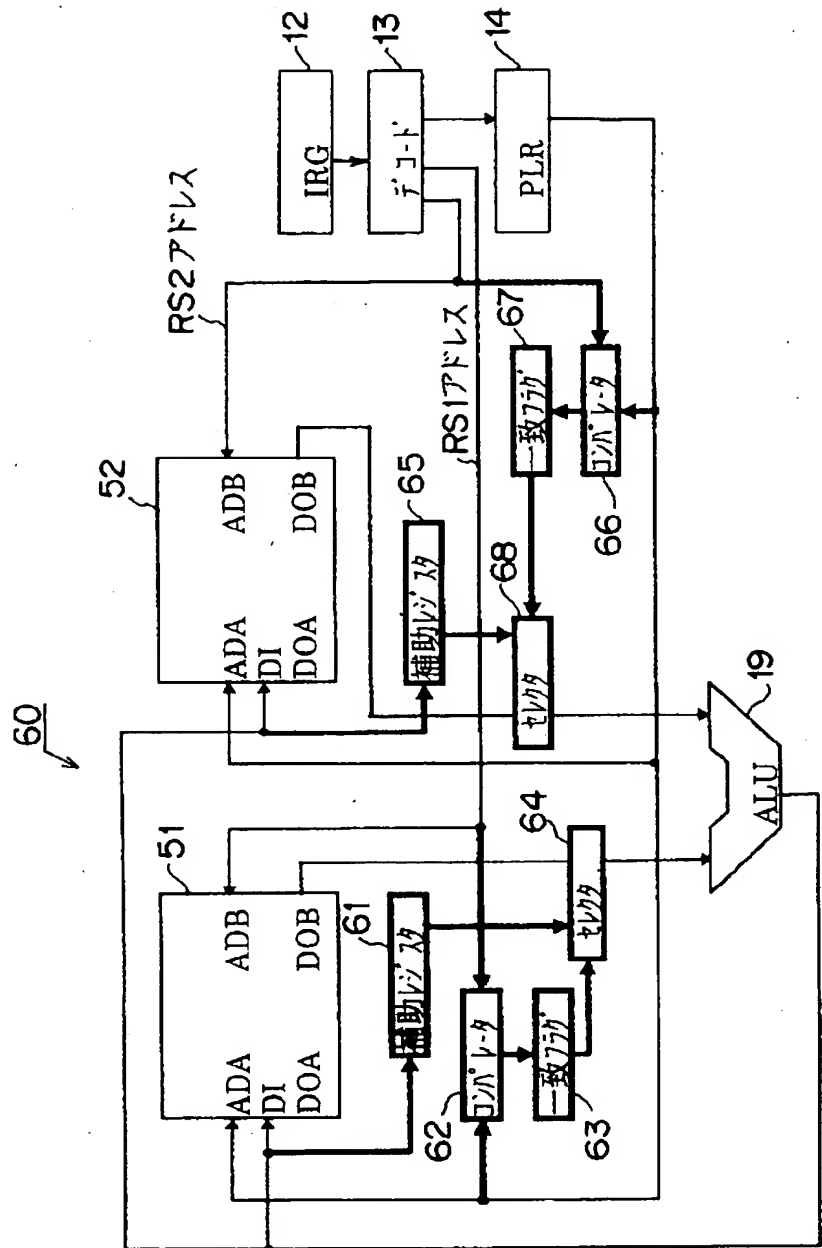
【図9】

シングルポート同期式RAMの入出力ポートを示す図



【図7】

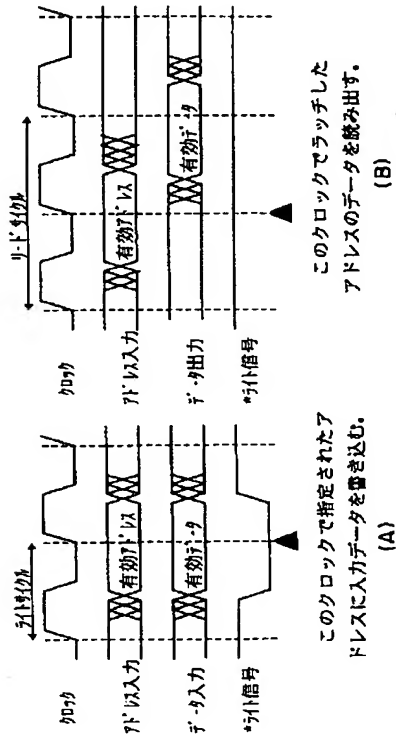
第4の実施の形態のデータ処理プロセッサのブロック図



(14)

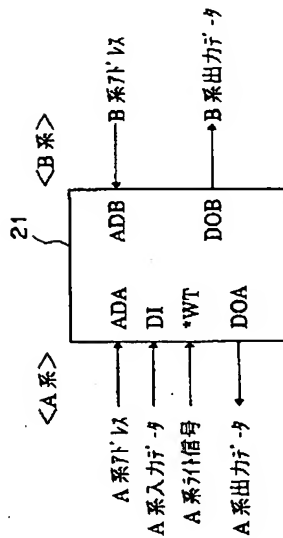
【図8】

同期式 RAM のアクセスの基本波形を示す図



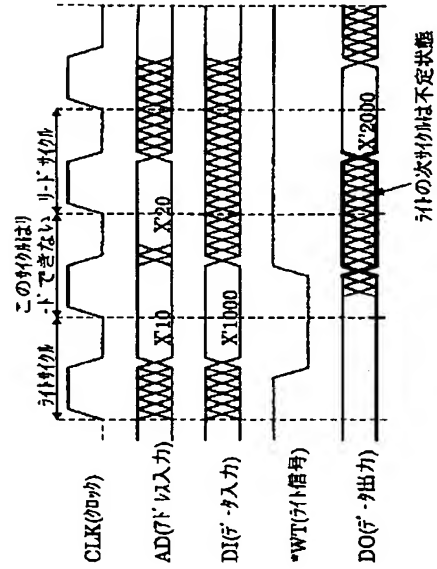
【図13】

デュアルポート同期式 RAM の
入出力ポートを示す図



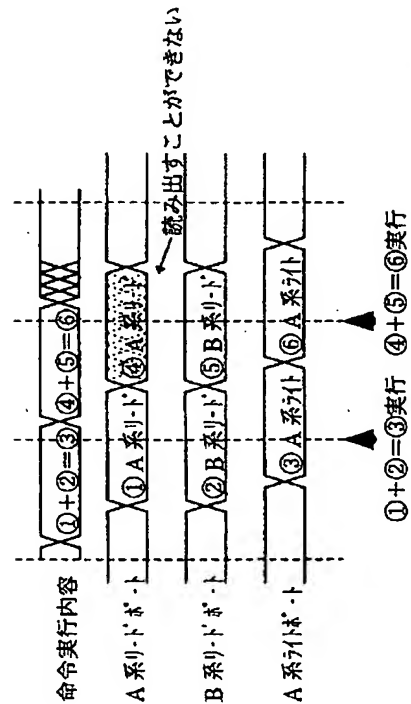
【図10】

シングルポート同期式 RAM の基本波形を示す図



【図15】

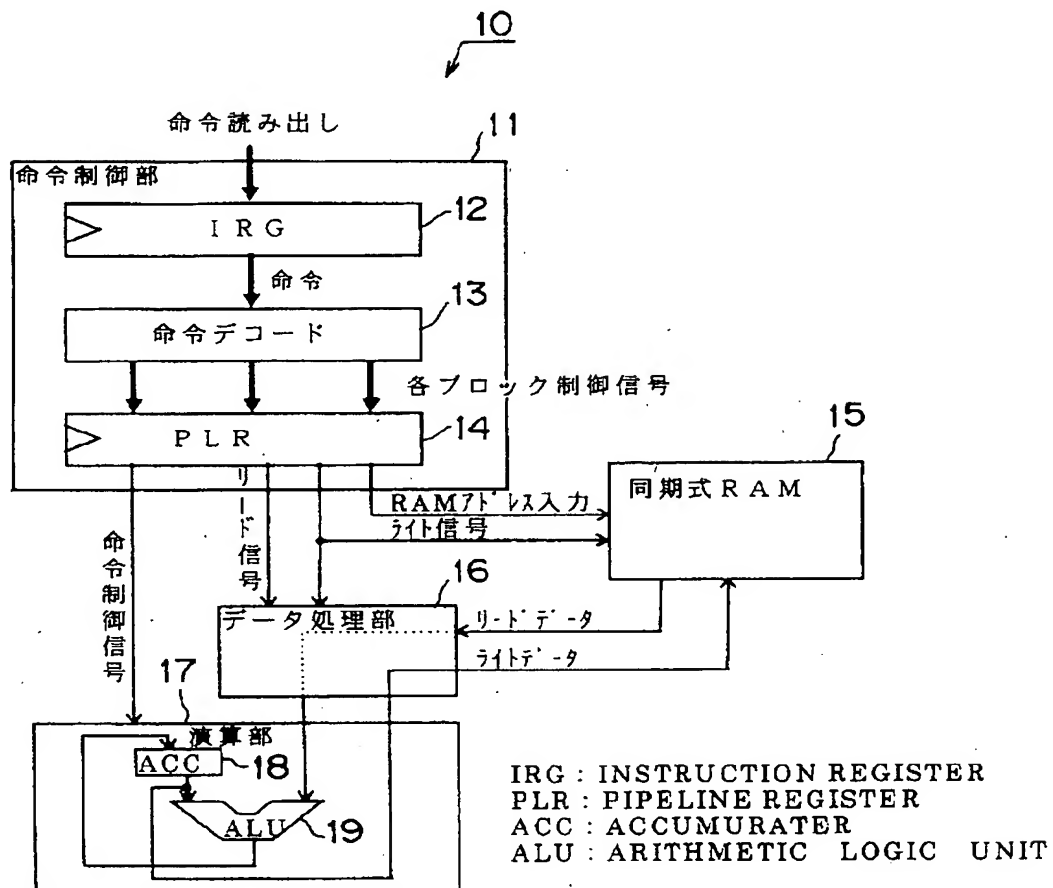
連続命令実行時の同期式 RAM の
動作を示す図



(15)

【図11】

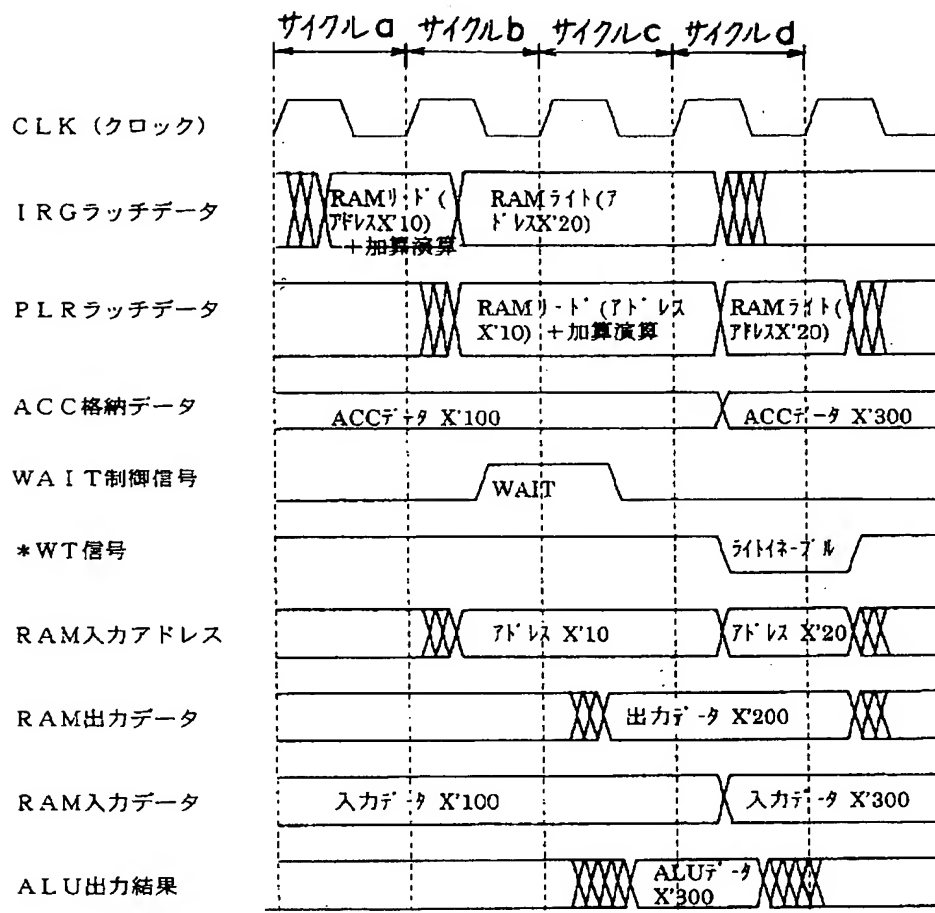
従来のパイプライン制御方式の
データ処理プロセッサのブロック図



(16)

【図12】

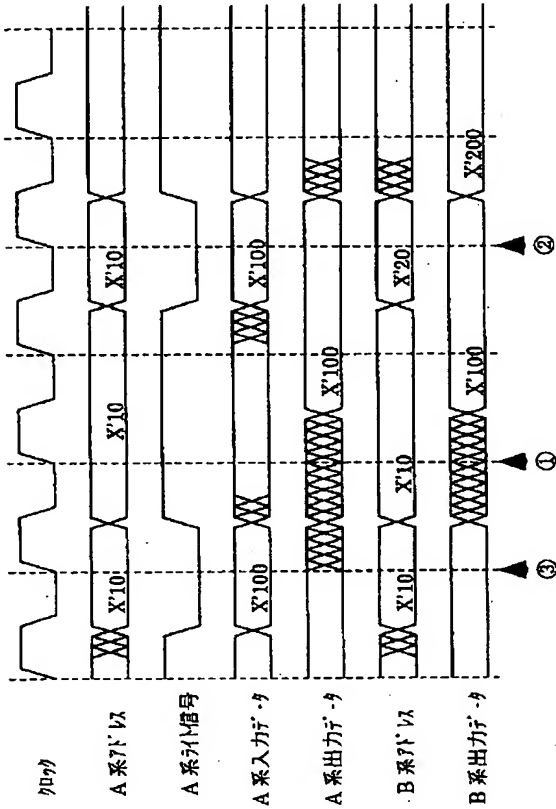
従来のハイフライン制御方式の
データ処理プロセッサの命令実行タイミングチャート



(17)

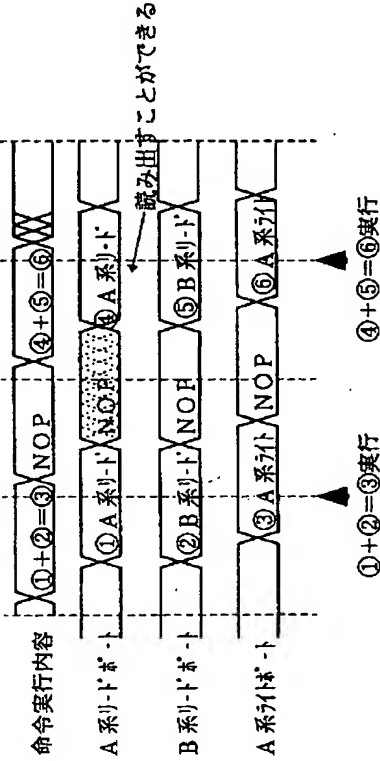
【図14】

デュアルポート同期式 RAMの基本波形を示す図



【図16】

NOP命令を追加した連続命令実行時の同期式RAMの動作を示す図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.